

Docket No.: P2002,0590

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : STEPHAN SCHRÖDER ET AL.
Filed : CONCURRENTLY HERewith
Title : CIRCUIT CONFIGURATION FOR CONTROLLING LOAD-
DEPENDENT DRIVER STRENGTHS

CLAIM FOR PRIORITY

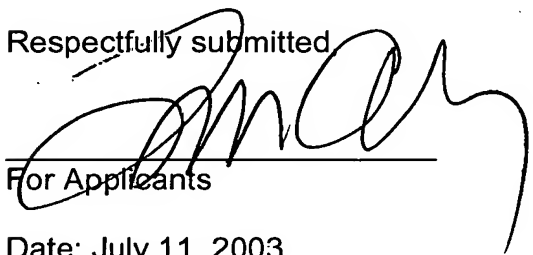
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 31 433.0, filed July 11, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted



For Applicants

LAURENCE A. GREENBERG
REG. NO. 29,308

Date: July 11, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 31 433.0

Anmeldetag: 11. Juli 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Schaltungsanordnung zur Steuerung lastabhängiger
Treiberstärken

IPC: G 11 C 7/10

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 27. Juni 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Derofsky

Beschreibung

Schaltungsanordnung zur Steuerung lastabhängiger Treiberstärken

5

Die Erfindung betrifft eine Schaltungsanordnung zur Steuerung lastabhängiger Treiberstärken.

Zur Steigerung des Datendurchsatzes werden integrierte
10 Schaltkreise, im speziellen SDRAM- oder DDR-DRAM-Speicher,
mit steigenden Verarbeitungsgeschwindigkeiten und höheren
Übertragungsfrequenzen betrieben. Die Daten werden über Hoch-
geschwindigkeitsübertragungsstrecken an die nachgeschaltete
Peripherie übertragen. Insbesondere hohe Übertragungsfrequen-
15 zen führen zu vermehrter Verzerrung, Interferenz und Störung
der zu übertragenden Signale und beeinträchtigen die Signal-
qualität und Detektierbarkeit. In Abhängigkeit der an die Si-
gnalleitungen angeschlossene Peripherie ergeben sich an den
Ausgangstreibern eines Speicherchips unterschiedliche
20 Lastverhalten, die das Ausgabezeitverhalten der zu übertra-
genden Daten wesentlich beeinflussen. Die Übertragung der Si-
gnale erfolgt bei großer Ausgangslast verzögert, weiterhin
werden die Signalcharakteristiken, wie zum Beispiel die
Steilheit von steigender und fallender Flanke, verändert oder
25 verzerrt.

Ein an eine Verstärkerstufe angelegtes Eingangssignal wird
um einen bestimmten Faktor verstärkt. Bisher kann die Trei-
berstärke einer Verstärkerstufe sowie die Anzahl der einge-
30 schalteten Verstärkerstufen einer Schaltungsanordnung nur im
Herstellungsprozess eingestellt und verändert werden. Für ei-
ne entsprechend benötigte Ausgangsleistung einer Verstärker-
stufe wird der Verstärkungsfaktor abhängig von Fertigungsto-
leranzen und Bauteilspezifikationen im Fertigungsprozess be-
35 stimmt. Zusätzlich kann im Fertigungsprozess durch das Zu-
oder Abschalten von parallel geschalteten Feldeffekttransi-
storen die Treiberstärke eingestellt werden. Dies erfolgt

durch Zuschalten oder Abtrennen von Leiterbahnzügen und kann nach Abschluß des Fertigungsprozesses nicht mehr verändert werden. Somit ist der Verstärkungsfaktor einer Verstärkerstufe fest vorgegeben. Die in den integrierten Schaltkreisen vorzufindenden Verstärkerstufen ermöglichen keine bedarfsge-
5 rechte Einstellung der Treiberstärke, um Signalcharakteristiken und Durchsatzgeschwindigkeiten aufgrund vorliegender Lastbedingungen an den Übergabepunkten, den sogenannten Pads, anzupassen.

10 Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung anzugeben, die als lastabhängige Verstärkerstufe geeignet ist, ein Signal derart den Lastverhältnissen anzupassen, daß die Signalqualität verbessert wird.

15 Diese Aufgabe wird erfindungsgemäß gelöst durch eine Schaltungsanordnung zur Steuerung lastabhängiger Treiberstärken mit einem Eingangsanschluß zur Zuführung eines Eingangssignals; einem Ausgangsanschluß zum Abgriff eines
20 verstärkten Signals; einer ersten Verstärkerstufe, die eingangsseitig mit dem Eingangsanschluß zur Zuführung des Eingangssignals und ausgangsseitig mit dem Ausgangsanschluß zur Ausgabe des verstärkten Signals verbunden ist; einer Referenzschaltung, der eingangsseitig das Eingangssignal, das
25 Ausgangssignal und eine Referenzspannung zugeführt werden und die einen Phasenvergleich des Eingangs- und Ausgangssignals vornimmt; einer zweiten Verstärkerstufe, die der Referenzschaltung nachgeschaltet ist und der eingangsseitig das Ausgangssignal der Referenzschaltung und das Eingangssignal zugeführt werden und deren Ausgang mit dem Ausgang der ersten
30 Verstärkerstufe parallel geschaltet ist und deren Zuschaltung in Abhängigkeit eines von der Referenzschaltung erzeugten Signals erfolgt.

35 Bei der erfindungsgemäßen Schaltungsanordnung ist es ermöglicht, zu zumindest einer ersten Verstärkerstufe, die ein anliegendes Eingangssignal verstärkt, in Abhängigkeit des am

Ausgang der ersten Verstärkerstufe anliegenden Spannungspotentials mindestens eine weitere, zweite Verstärkerstufe, aufgrund eines durch die Referenzschaltung erzeugten Steuersignals, parallel zuzuschalten. Die Referenzschaltung bedient sich eines Differenzverstärkers, auf den das Ausgangssignal rückgekoppelt ist und der das Spannungspotential des Ausgangssignals einer Verstärkerstufe mit einer Referenzspannung vergleicht. Das Ausgangssignal des Differenzverstärkers wird an ein logisches Verknüpfungselement weitergeleitet, dem auch das Eingangssignal verzögert zugeführt wird. Wenn das Ausgangssignal des Differenzverstärkers gegenüber dem Eingangssignal am Verknüpfungselement verzögert anliegt, so wird über das Verknüpfungselement ein RS-Flip-Flop gesetzt und eine von diesem angesteuerte zweite Verstärkerstufe aktiviert. Die zweite Verstärkerstufe schaltet sich zu der ersten Verstärkerstufe parallel zu und bewirkt eine weitere Verstärkung des Signals. Eine Zuschaltung kann beispielsweise durch ein Steuersignal der Referenzschaltung mit steigender Flanke, welches an die zweite Verstärkerstufe angelegt wird, erfolgen. Die eingeschalteten Verstärkerstufen leiten die Signale verstärkt über Leiterbahnen an die Anschlußflächen (Pads) nachgeschalteter Peripherie weiter.

Abhängig von der am Pad angeschlossenen zu treibenden Last ändert sich die Steilheit der Signalflanken der Ausgabesignale und somit wurden bisher die Daten bei großer angeschlossener Last verzögert aus der Verstärkerstufe ausgetrieben. Dieser Nachteil wird durch die erfindungsgemäße Schaltungsanordnung behoben.

Da beim Hochfahren eines Systems der Betriebsmodus des Speichers konfiguriert wird, können die in der ersten Initialisierungsphase initiierten Lesebefehle eine Einstellung der Treiberstärke einer Ein-/Ausgabeeinheit in Abhängigkeit der angeschlossenen Last bewirken. Weitere Anpassungen während des Betriebs zur Einstellung der Treiberstärke an veränderte Lastverhältnisse können jederzeit vorgenommen werden.

Die Schaltungsanordnung hat den Vorteil, daß die zeitliche Weiterleitung der Signale in Abhängigkeit der an den Verbindungspunkten angeschlossenen Last optimiert wird, so daß lastabhängige Verzögerungen der Datenübertragung weitestgehend vermieden werden. Die Treiberstärke einer Verstärkerstufe wird lastabhängig eingestellt, so daß aufgrund verbesserter Ausgangssignalqualität der Datendurchsatz wesentlich gesteigert werden kann.

Nachfolgend wird die Erfindung unter Bezugnahme auf die Zeichnungen im einzelnen erläutert. Gleiche oder entsprechende Elemente in verschiedenen Figuren sind mit gleichen Bezugszeichen versehen.

Es zeigen:

Figur 1 ein Blockschaltbild einer Ein-/Ausgabe Einheit eines Speicherchips,

Figur 2 ein Blockschaltbild der erfindungsgemäßen Schaltungsanordnung,

Figur 3 ein erfindungsgemäßes Ausführungsbeispiel der Schaltungsanordnung,

Figur 4 ein weiteres erfindungsgemäßes Ausführungsbeispiel der Schaltungsanordnung und

Figur 5 ein Ausführungsbeispiel einer über eine Referenzschaltung gesteuerten Verstärkerstufe.

Figur 1 zeigt ein Blockschaltbild einer Ein-/Ausgabe Einheit 100 eines Speicherchips. Die Ein- und Ausgabeeinheit ist bidirektional ausgelegt. Über einen Anschlußpunkt A werden Daten aus einem Speicher über eine Verstärkerstufe 2 an eine am Ausgangsanschluß O angeschlossenen Peripherie weitergeleitet,

die durch deren Last K repräsentiert wird. Daten, die im Speicherchip gespeichert werden sollen, werden einem Differenzverstärker 31 zugeführt und über den Anschluß A an den Speicherchip weitergeleitet.

5

In Figur 2 ist eine Schaltungsanordnung gemäß der Erfindung als Blockschaltbild dargestellt. Eine Verstärkerstufe 2 ist eingangsseitig mit dem Eingangsanschluß A und ausgangsseitig mit dem Ausgangsanschluß O verbunden. An dem Eingangsanschluß A liegt ein zu verstärkendes Signal DATA-IN an und wird der Verstärkerstufe 2 zugeführt, die eine Verstärkung des Eingangssignals DATA-IN vornimmt. Einer zur Verstärkerstufe 2 parallel geschalteten Verstärkerstufe 4 wird an einem Eingang ebenfalls das Eingangssignal DATA-IN zugeführt. Eine Referenzschaltung 3 ist mit dem Eingangsanschluß A und einem Anschluß B, an dem das Referenzpotential VREF anliegt, verbunden. Der Referenzschaltung 3 wird das Ausgangssignal DATA-OUT vom Ausgangsanschluß O zugeführt. Die Referenzschaltung 3 nimmt einen Phasenvergleich der Signale DATA-OUT und DATA-IN vor. Abhängig von der externen Last K ergibt sich eine mehr oder weniger große Verzögerung des Ausgangssignals DATA-OUT gegenüber dem Eingangssignal DATA-IN. Wenn diese Verzögerung einen fest in der Referenzschaltung 3 voreingestellten Wert übersteigt, erzeugt die Referenzschaltung 3 ein Steuersignal, welches an einen weiteren Eingang der nachgeschalteten Verstärkerstufe 4 angelegt wird, so daß diese eingeschaltet wird und sich somit parallel zur Verstärkerstufe 2 zuschaltet und eine zusätzliche Verstärkung des Eingangssignals DATA-IN vornimmt.

30

Figur 3 zeigt ein detaillierteres Ausführungsbeispiel der Schaltungsanordnung 1 bezüglich der Referenzschaltung 3. Ein Differenzverstärker 31 ist mit seinen Eingangsanschlüssen C, D mit den Eingangsanschlüssen B und O zur Zuführung des Signals DATA-OUT sowie der Referenzspannung VREF verbunden. Der Differenzverstärker 31 vergleicht die Referenzspannung VREF mit der Spannung des Ausgangssignals DATA-OUT. Einem dem Dif-

35

ferenzverstärker 31 nachgeschalteten logischen Verknüpfungselement 33 wird an seinem Eingang G das verstärkte Ausgangssignal des Differenzverstärkers 31 zugeführt. Dem Eingang H des logischen Verknüpfungselementes 33 wird über ein Verzögerungselement 36 das verzögerte Eingangssignal DATA-IN zugeführt. Das logische Verknüpfungselement 33 vergleicht die an seinen Eingängen anliegenden Pegel miteinander. Übersteigt die am Ausgangsanschluß O anliegende Last einen bestimmten Kapazitätswert, so ist der Pegel des Ausgangssignals DATA-OUT niedriger als der Pegel des Eingangssignals DATA-IN und die Daten werden wesentlich verzögert getrieben. Das Verknüpfungselement 33 erzeugt somit ein Signal, z.B. eine logische "1", so daß das nachgeschaltete Flip-Flop 34 gesetzt wird. Ist das Flip-Flop 34 gesetzt, wird die dem Flip-Flop 34 nachgeschaltete Verstärkerstufe 4 eingeschaltet, die sich parallel zur Verstärkerstufe 2 zuschaltet und eine zusätzliche Verstärkung des Eingangssignals DATA-IN vornimmt.

Figur 4 zeigt ein Beispiel der erfindungsgemäßen Schaltungsanordnung 1 bezüglich einer weiteren Ausführungsform der Referenzschaltung 3. Einer weiteren Verstärkerstufe 35 wird an ihrem Eingang das Eingangssignal DATA-IN zugeführt und als verstärktes Signal an den Eingangsanschluß E eines nachgeschalteten Differenzverstärkers 32 angelegt. Am Eingang F des Differenzverstärkers 35 liegt die Referenzspannung VREF an. Der Differenzverstärker 32 vergleicht die Referenzspannung VREF mit der Spannung des Ausgangssignals DATA-OUT. Dem logischen Verknüpfungselement 33 wird das verstärkte Ausgangssignal des Differenzverstärkers 32 über seinen Eingang H zugeführt. Das logische Verknüpfungselement 33 vergleicht die an seinen Eingängen anliegenden Pegel miteinander und erzeugt, wie vorab in Figur 3 beschrieben, bei einem niedrigeren Pegel des Ausgangssignals DATA-OUT ein Signal, so daß das nachgeschaltete Flip-Flop 34 gesetzt wird. Ist das Flip-Flop 34 gesetzt, wird die dem Flip-Flop 34 nachgeschaltete Verstärkerstufe 4 eingeschaltet, die sich parallel zur Verstär-

kerstufe 2 zuschaltet und eine zusätzliche Verstärkung des Eingangssignals DATA-IN vornimmt.

In Figur 5 ist eine mögliche Ausführungsform eines Ausgangstreibers bestehend aus den beiden Verstärkerstufen 2 und 4 ausgeführt. Die beiden Verstärkerstufen 2 und 4 sind an ihren Ein- und Ausgängen parallel geschaltet. Die Verstärkerstufen 2 und 4 weisen komplementäre Feldeffekttransistoren 21, 22 und 41, 42 eines p-Kanal-Typs und eines n-Kanal-Typs auf, die in Reihe geschaltet sind. Die p-Kanal-Feldeffekttransistoren 21 und 41 sind über ihre Source-Anschlüsse an das Spannungspotential VDDQ und die n-Kanal-Feldeffekttransistoren 22 und 42 über ihre Source-Anschlüsse an das Bezugspotential VSSQ angeschlossen. Die Kopplungspunkte der Drain-Anschlüsse der Feldeffekttransistoren 21, 22 und 41, 42 sind parallel geschaltet und dienen als Ausgang der Verstärkerstufe.

Das Eingangssignal DATA-IN wird der Reihenschaltung der Feldeffekttransistoren 21 und 22 direkt, dem p-Kanal-Feldeffekttransistor 41 über ein logisches NAND-Gatter 43 und dem n-Kanal-Feldeffekttransistor 42 über ein AND-Gatter 44 zugeführt. Das Eingangssignal DATA-IN wird an einem Eingang des NAND-Gatters 43 invertiert. Die weiteren Eingänge der logischen Verknüpfungselemente 43 und 44 sind mit der Steuereinrichtung zur Zuführung eines Steuersignals verbunden.

Zur Vereinfachung der folgenden Ausführungen werden steigende Flanken mit logisch "1" und fallende Flanken mit logisch "0" bezeichnet.

Die p-Kanal-Feldeffekttransistoren 21 und 41 schalten leitend, wenn an ihren Gateanschlüssen eine logische "0" anliegt; sie sperren, wenn an ihren Gateanschlüssen eine logische "1" anliegt. Die n-Kanal-Feldeffekttransistoren 22 und 42 schalten leitend, wenn an ihren Gateanschlüssen eine logische "1" anliegt; sie sperren, wenn an ihren Gateanschlüssen eine logische "0" anliegt.

Wie bereits in den Ausführungen der Figur 2 beschrieben erzeugt die Referenzschaltung 3 ein Steuersignal zur Ansteuerung der Gateanschlüsse der Feldeffekttransistoren 41 und 42.

- 5 Den logischen Verknüpfungselementen 43 und 44 wird an seinen Eingängen das Eingangssignal DATA-IN und das von der Referenzschaltung 3 erzeugte Steuersignal zugeführt.

Wenn das Eingangssignal DATA-IN eine logische "1" aufweist,
10 so liegt an den Gateanschlüssen der Feldeffekttransistoren 21 und 22 eine logische "1" an, so daß der Feldeffekttransistor 22 leitend schaltet; wenn das Eingangssignal DATA-IN eine logische "0" aufweist, so liegt an den Gateanschlüssen der Feldeffekttransistoren 21 und 22 eine logische "0" an, so daß
15 der Feldeffekttransistor 21 leitend schaltet.

Ein Eingangssignal DATA-IN mit einer logischen "1" wird am Eingang des NAND-Gatters 43 zu einer logischen "0" invertiert. Wenn das dem NAND-Gatter 43 zugeführte Steuersignal
20 der Referenzschaltung 3 eine logische "0" oder eine logische "1" aufweist, so ergibt die Verknüpfung des NAND-Gatters 43 am Ausgang eine logische "1" und der Feldeffekttransistor 41 sperrt. Am Eingang des Feldeffekttransistors 41 liegt nur
dann eine logische "0" an, wenn das Eingangssignal DATA-IN
25 eine logische "0" und das Steuersignal eine logische "1" aufweist, so daß dieser leitend schaltet und eine zusätzliche Verstärkung des Eingangssignals DATA-IN bewirkt.

Die Verknüpfung der dem AND-Gatter 44 zugeführten Signale ergibt nur für den Fall am seinem Ausgang eine logische "1",
30 wenn sowohl das Eingangssignal DATA-IN als auch das Steuersignal der Referenzschaltung 3 eine logische "1" aufweisen, so daß der Feldeffekttransistor 42 leitend schaltet und eine zusätzliche Verstärkung des Eingangssignals DATA-IN bewirkt.

35

Die Ausgabe des Ausgangssignals DATA-OUT erfolgt über den Ausgangsanschluß O an die metallischen Anschlußflächen

(Pads), die sich in der obersten Metallisierungsebene des Halbleiterchips befinden. Die Kontaktierung der Anschlußflächen mit den Anschlußstiften des Gehäuses ist über Bonddrähte realisiert.

Patentansprüche

1. Schaltungsanordnung (1) zur Steuerung lastabhängiger Treiberstärken aufweisend:

5

- einen Eingangsanschluß (A) zur Zuführung eines Eingangssignals (DATA-IN);

- einen Ausgangsanschluß (O) zum Abgriff eines verstärkten Signals (DATA-OUT);

10

- eine erste Verstärkerstufe (2), die eingangsseitig mit dem Eingangsanschluß (A) zur Zuführung des Eingangssignals und ausgangsseitig mit dem Ausgangsanschluß (O) zur Ausgabe des verstärkten Signals (DATA-OUT) verbunden ist;

15

- eine Referenzschaltung (3), der das Eingangssignal (DATA-IN), das Ausgangssignal (DATA-OUT) und eine Referenzspannung (V_{ref}) zugeführt werden und die einen Phasenvergleich zwischen Eingangs- (DATA-IN) und Ausgangssignal (DATA-OUT) vornimmt;

20

- eine zweite Verstärkerstufe (4), die der Referenzschaltung (3) nachgeschaltet ist und der eingangsseitig ein Ausgangssignal der Referenzschaltung (3) und das Eingangssignal (DATA-IN) zugeführt werden und deren Ausgang mit dem Ausgang der ersten Verstärkerstufe (2) parallel geschaltet ist und deren Zuschaltung in Abhängigkeit eines von der Referenzschaltung (3) erzeugten Signals erfolgt.

25

2. Schaltungsanordnung nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, d a ß
die Referenzschaltung (3)

30

- einen ersten Differenzverstärker (31) mit zumindest zwei Eingangsanschlüssen (C, D) aufweist, dem eingangsseitig das Ausgangssignal (DATA-OUT) und die Referenzspannung (V_{REF}) zugeführt werden;

35

- ein logisches Verknüpfungselement (33), welches über das Eingangssignal (DATA-IN) an einem ersten Eingang (H) und das Ausgangssignal des ersten Differenzverstärkers (31) an einem zweiten Eingang (G) angesteuert wird;

- ein Flip-Flop (34), das dem logischen Verknüpfungselement (33) nachgeschaltet ist und zur Ansteuerung der nachgeschalteten zweiten Verstärkerstufe (4) dient.

5 3. Schaltungsanordnung nach Anspruch 2,
d a d u r c h g e k e n n z e i c h n e t, d a ß
der erste Differenzverstärker (31) die Referenzspannung
(Vref) mit der Spannung des Ausgangssignals (DATA-OUT) ver-
gleicht und an seinem Ausgang ein verstärktes Signal ausgibt.

10

4. Schaltungsanordnung nach den Ansprüchen 2 oder 3,
d a d u r c h g e k e n n z e i c h n e t, d a ß
das logische Verknüpfungselement die an seinem Eingang (G, H)
anliegenden Pegel miteinander vergleicht, so daß für den
15 Fall, daß an seinem zweiten Eingang (G) ein Signal mit nied-
rigerem Pegel und an seinem ersten Eingang (H) ein Signal mit
höherem Pegel anliegt an seinem Ausgang ein Signal mit hohem
Pegel zur Ansteuerung des Flip-Flops (34) erzeugt wird.

20 5. Schaltungsanordnung nach einem der Ansprüche 2 bis 4,
d a d u r c h g e k e n n z e i c h n e t, d a ß
das Flip-Flop (34) bei einem an seinem Eingang anliegenden
Signal mit hohem Pegel gesetzt wird und die nachgeschaltete
zweite Verstärkerstufe (4) ansteuert, so daß diese sich par-
25 allel zur Verstärkerstufe (2) zuschaltet.

6. Schaltungsanordnung nach einem der Ansprüche 1 bis 5,
d a d u r c h g e k e n n z e i c h n e t, d a ß
die zweite Verstärkerstufe (4) bei Zuschaltung eine zusätzli-
30 che Verstärkung des Eingangssignals (DATA-IN) bewirkt.

7. Schaltungsanordnung nach einem der Ansprüche 2 bis 5,
d a d u r c h g e k e n n z e i c h n e t, d a ß
das Eingangssignal (DATA-IN) dem Verknüpfungselement (33)
35 verzögert zugeführt wird.

8. Schaltungsanordnung nach einem der Ansprüche 2 bis 5 oder 7,

dadurch gekennzeichnet, daß das Eingangssignal (DATA-IN) dem Verknüpfungselement (33)

5 über eine weitere Verstärkerstufe (35) und einen nachgeschalteten weiteren Differenzverstärker (32) zugeführt wird.

9. Schaltungsanordnung nach Anspruch 8,

dadurch gekennzeichnet, daß

10 dem weiteren Differenzverstärker (32) eingangsseitig über einen ersten Eingangsanschluß (E) das Ausgangssignal der weiteren Verstärkerstufe (35) und über einen zweiten Eingangsanschluß (F) die Referenzspannung (VREF) zugeführt werden.

15 10. Schaltungsanordnung nach Anspruch 9,

dadurch gekennzeichnet, daß

der weitere Differenzverstärker (32) die Referenzspannung (VREF) mit der Spannung des Ausgangssignals der weiteren Verstärkerstufe (35) vergleicht und an seinem Ausgang ein verstärktes Signal ausgibt.
20

Zusammenfassung

Schaltungsanordnung zur Steuerung lastabhängiger Treiberstärken

5

Eine Schaltungsanordnung weist eine zumindest erste Treiberstufe (2) zur Zuführung eines Eingangssignals (DATA-IN) und zur Ausgabe eines verstärkten Signals auf. Einer zumindest zweiten Treiberstufe (4), die der ersten Treiberstufe (2) parallel geschaltet ist, werden eingangsseitig sowohl das Eingangssignal (DATA-IN) als auch ein Steuersignal von einer vorgeschalteten Referenzschaltung (3) zugeführt. Die Referenzschaltung (3) vergleicht den an ihrem einen Eingang anliegenden rückgekoppelten Pegel eines Ausgangssignals (DATA-OUT) mit dem an ihrem anderen Eingang anliegenden Pegel des Eingangssignals (DATA-IN) und erzeugt bei einem geringeren Pegel des Ausgangssignals (DATA-OUT) gegenüber dem Pegel des Eingangssignals (DATA-IN) das Steuersignal zur Ansteuerung der Treiberstufe (4). Dadurch wird die Treiberstufe (4) zur zusätzlichen Verstärkung des Eingangssignals (DATA-IN) zugeschaltet.

Figur 2

Bezugszeichenliste

100	Ein-/Ausgabe Einheit
A	Eingangsanschluß
5	B Anschluß für die Referenzspannung
C	Eingangsanschluß Differenzverstärker
D	Eingangsanschluß Differenzverstärker
E	Eingangsanschluß Differenzverstärker
F	Eingangsanschluß Differenzverstärker
10	G Eingangsanschluß Verknüpfungselement
H	Eingangsanschluß Verknüpfungselement
O	Ausgangsanschluß
K	Kapazitive Last
1	Schaltungsanordnung
15	2 Verstärkerstufe
3	Referenzschaltung
4	Verstärkerstufe
31	Differenzverstärker
32	Differenzverstärker
20	33 Verknüpfungselement
34	RS-FlipFlop
35	Differenzverstärker
21	p-Kanal-Feldeffekttransistor
22	n-Kanal-Feldeffekttransistor
25	41 p-Kanal-Feldeffekttransistor
42	n-Kanal-Feldeffekttransistor
43	NAND-Gatter
44	AND-Gatter

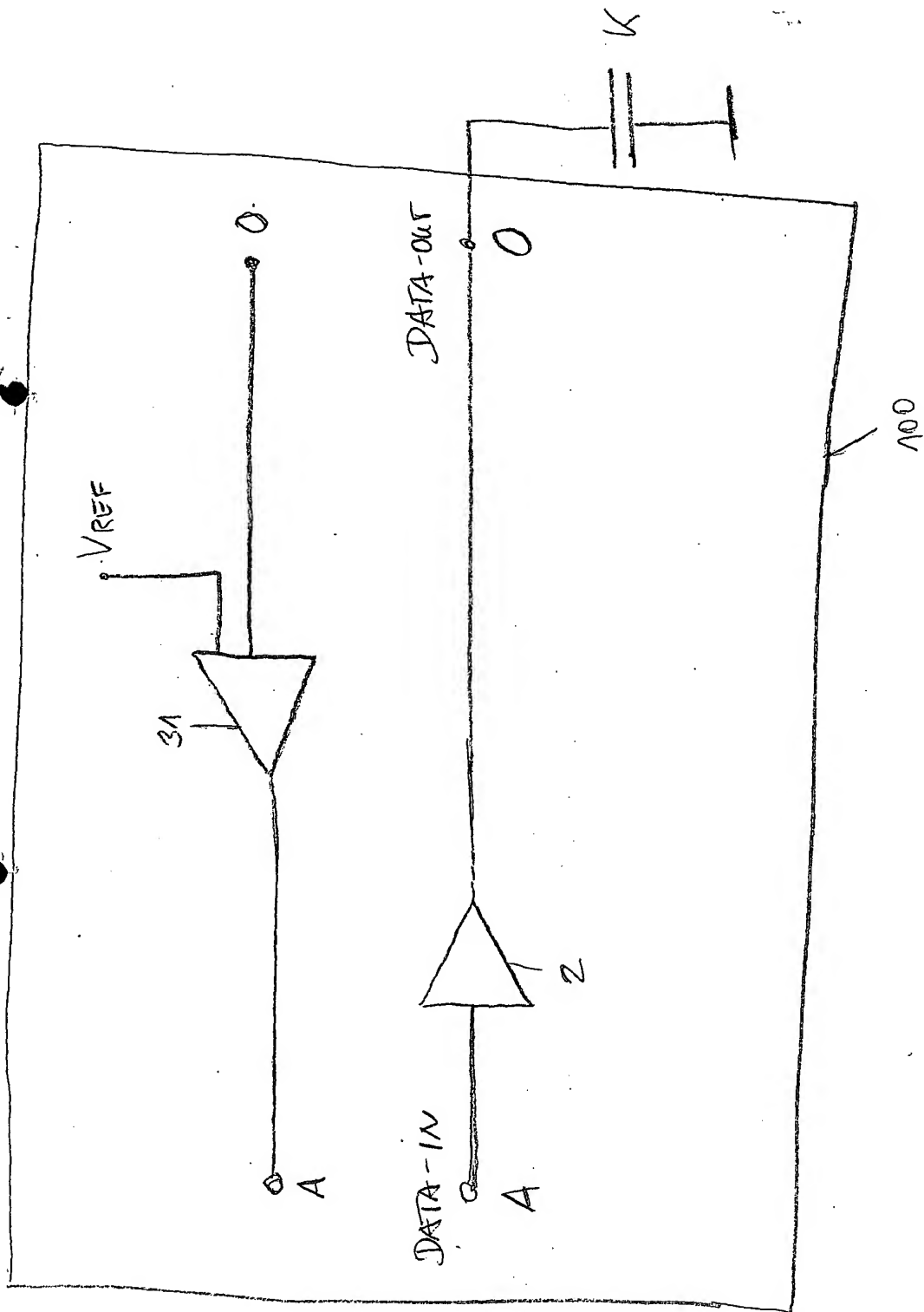


Figure 1

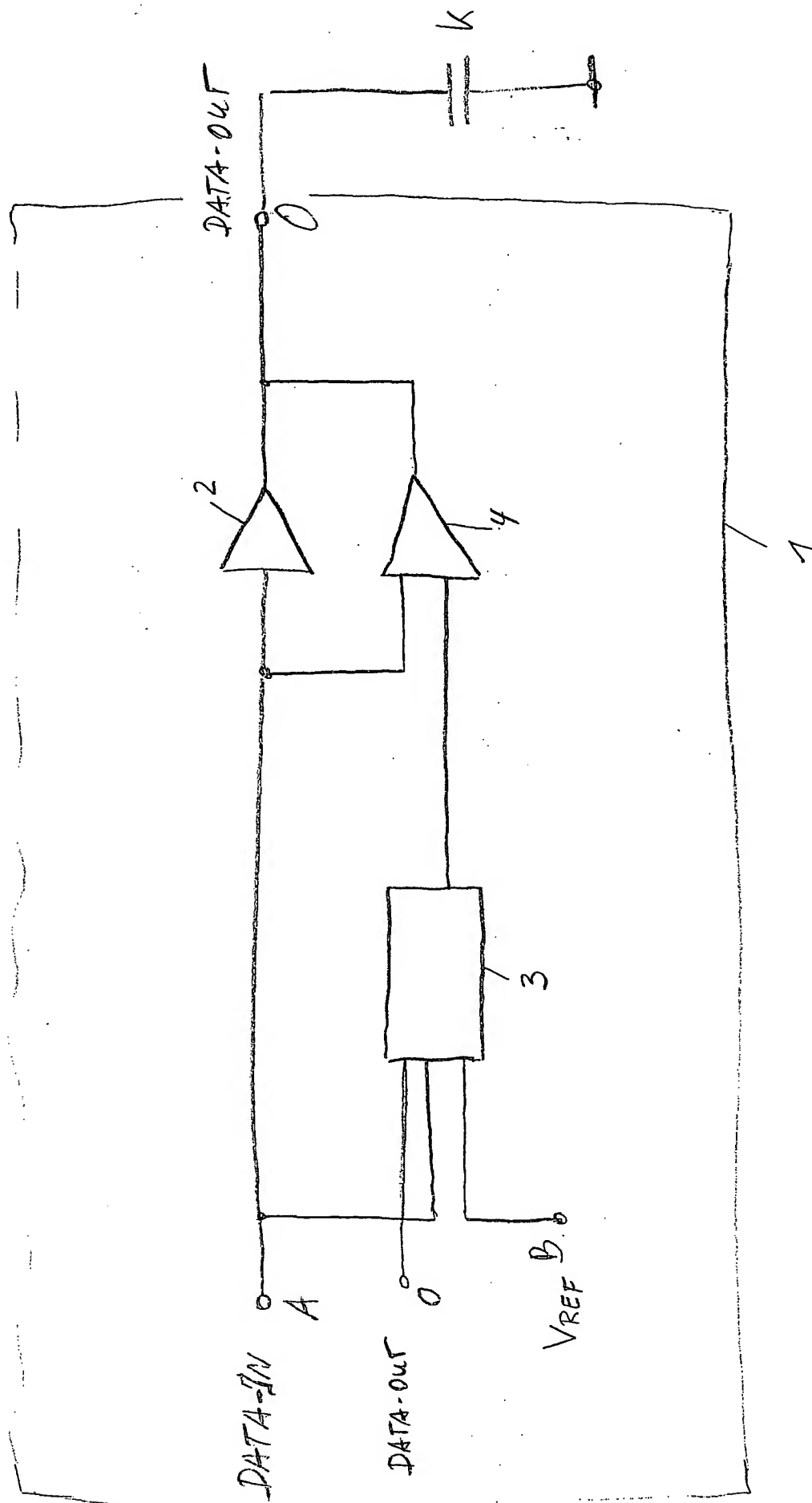
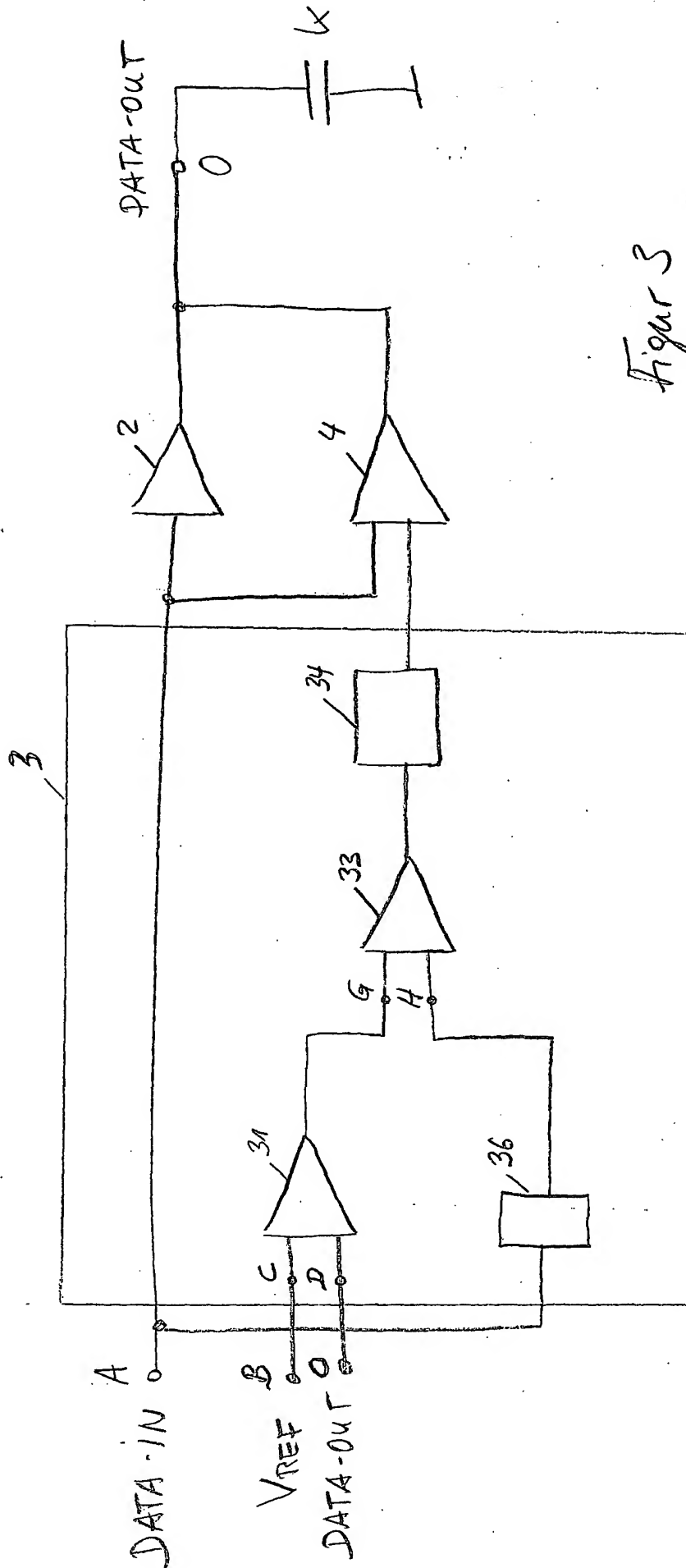


Figure 2

Figure 3

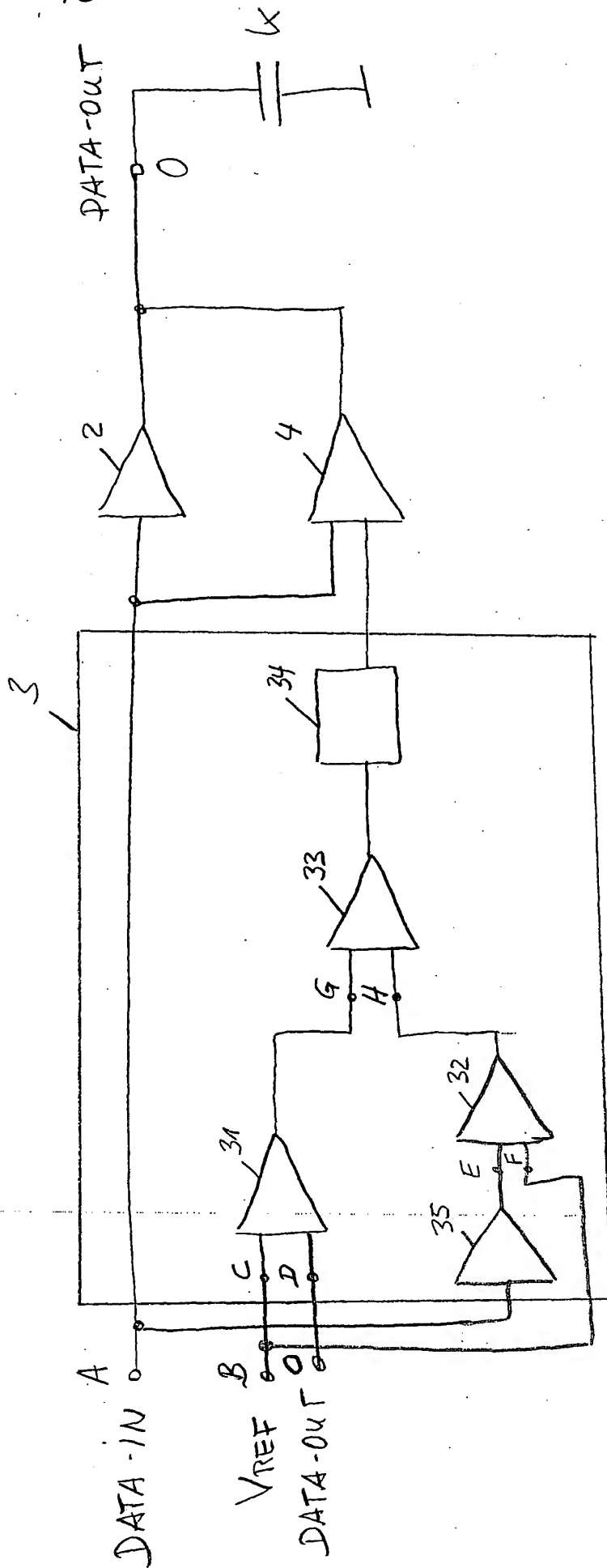


Figure 4

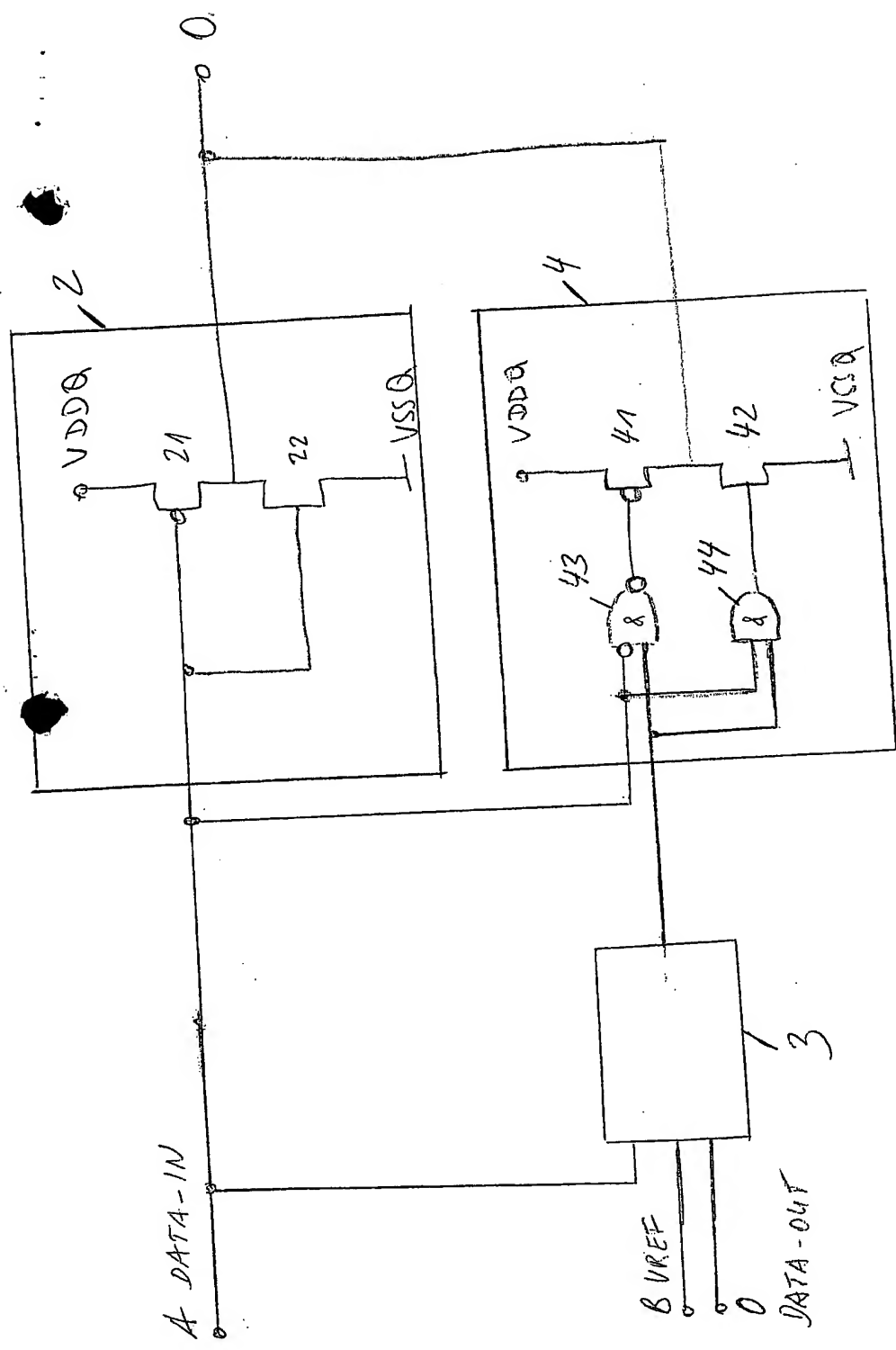


Figure 5